

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

01396757 \*\*Image available\*\*

SUBSTRATE STRUCTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 59-108357 [JP 59108357 A]

PUBLISHED: June 22, 1984 (19840622)

INVENTOR(s): OSHIMA HIROYUKI

MATSUO MUTSUMI

TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 57-218663 [JP 82218663]

FILED: December 14, 1982 (19821214)

#### ABSTRACT

PURPOSE: To prevent thin film semiconductor elements from diffusion of contaminating matters contained in a transparently insulating substrate, and to contrive to enhance reliability, stability and reproducibility of a thin film semiconductor device by a method wherein PSG is formed on the transparently insulating substrate, NSG is formed on the PSG, and the thin film semiconductor elements are formed on the NSG.

CONSTITUTION: By forming PSG13 on a transparently insulating substrate 12, a semiconductor elements can be prevented from diffusion of contaminating matters of sodium, etc., contained in the transparently insulating substrate. Moreover, the reason why to form NSG14 on the PSG13 is that firstly, when PSG is to be used as a diffusion obstructing film of the contaminating matters, concentration of phosphorus thereof must be set high to some degree, therefore because to prevent the semiconductor elements from reduction of moisture vapor resistance according thereto. The more concentration of PSG is enhanced, the more moisture absorption is increased to reduce damp proof property, but because the NSG is formed on the PSG, reduction of damp proof property is removed. Secondly, because to prevent the semiconductor elements from diffusion of phosphorus in the PSG.

DIALOG(R)File 352:DERWENT WPI

(c)1999 Derwent Info Ltd. All rts. reserv.

004046426

WPI Acc No: 84-191968/198431

Stable substrate structure for thin-film semiconductor device - has  
impurity-undoped silicate glass over phosphorus-doped silicate glass

NoAbstract Dwg 3/4

Patent Assignee: SUWA SEIKOSHA KK (SUWA ); SEIKO EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
-----------	------	------	-------------	------	------	----------	------

JP 59108357	A	19840622	JP 82218663	A	19821214		198431 B
-------------	---	----------	-------------	---	----------	--	----------

JP 92062184	B	19911005	JP 82218663	A	19821214	H01L-029/784	
-------------	---	----------	-------------	---	----------	--------------	--

199244

Priority Applications (No Type Date): JP 82218663 A 19821214

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
--------	------	-----	----	--------------	-------------	--------

JP 59108357	A		25			
-------------	---	--	----	--	--	--

JP 92062184	B		4	Based on	JP 59108357	
-------------	---	--	---	----------	-------------	--

Title Terms: STABILISED; SUBSTRATE; STRUCTURE; THIN; FILM;  
SEMICONDUCTOR; DEVICE; IMPURE; UNDOPED; SILICATE; GLASS; PHOSPHORUS;  
DOPE; SILICATE; GLASS; NOABSTRACT

Derwent Class: L03; U12; U14

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開

昭59-108357

⑫ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 27/12

識別記号

庁内整理番号  
7377-5F  
8122-5F

⑬ 公開 昭和59年(1984)6月22日

発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭ 薄膜半導体装置の基板構造

⑯ 特 願 昭57-218663  
⑰ 出 願 昭57(1982)12月14日  
⑱ 発 明 者 大島弘之  
諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内  
⑲ 発 明 者 松尾睦  
諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑳ 発 明 者 竹中敏  
諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内  
㉑ 出 願 人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4  
号  
㉒ 代 理 人 弁理士 最上務

## 明 細 書

## 発明の名称

薄膜半導体装置の基板構造

## 特許請求の範囲

透明絶縁基板上にPBOを形成し、前記PBO上にNBOを形成し、前記NBO上に薄膜半導体素子を形成したことを特徴とする薄膜半導体装置の基板構造。

## 発明の詳細な説明

本発明は薄膜半導体装置の基板構造に関する。

近年、半導体薄膜、特に多結晶シリコンあるいは非晶質シリコンなどのシリコン薄膜を用いた薄膜トランジスタの研究開発が活発に行なわれている。これらの多くは、薄膜トランジスタを用いてアクティブマトリックスパネルを構成し、大面積大容量のフラットディスプレイを実現することを目的としている。この場合、ディスプレイの表示品質を高めるために、基板にはガラスや石英など

の透明絶縁基板が用いられる。

これらの基板上に半導体素子を形成する場合に、該基板中に含有される、特にナトリウムなどのアルカリ金属による半導体素子への汚染が大きな問題となる。公知のように、一般に半導体素子は汚染に対して非常に敏感であり、汚染の有無により半導体素子の初期特性及び信頼性は大きく左右される。特に薄膜トランジスタなどを始めとする電界効果素子のように、半導体の表面を利用した素子の場合には、その傾向が著しい。したがって汚染の低減は、半導体素子にとって宿命といえる。

ところが、ガラス基板や石英基板などの透明絶縁基板に含有される汚染物質が、半導体素子に悪影響を及ぼさない程度まで十分に低減されているとはいえないのが現状である。例えばガラス基板の場合には、本質的にナトリウムを0.1〜数パーセント含有している。半導体素子への影響を考えた場合、この値は非常に大きいといわねばならない。また、石英基板の場合には、ナトリウムの含

特開昭55-103357 (2)

有量は数 ppm とかなり少ないがガラス基板と違って石英基板は一般に高温用途であるため、通常 1000℃ 程度の熱工程に用いられ、このため、ナトリウムが半導体素子へ拡散しやすい。すなわち、高温用途であるがために、汚染の影響を及ぼしやすく、したがって、わずかな汚染源も許されない。このように、透明絶縁基板を半導体素子への汚染源と考えたとき、現状は満足できるレベルにない。以下、図を参照して上述の内容を説明する。

第 1 図は、透明絶縁基板上に薄膜トランジスタを形成した場合の構造を示す 1 例である。1 はガラス、石英などの透明絶縁基板、2 は薄膜トランジスタのチャネル領域を形成する半導体薄膜、3 はゲート絶縁膜、4 はゲート電極、5 は不純物をドーパしたソース領域、6 は同じくドレイン領域、7 はソース電極、8 はドレイン電極、9 は層間絶縁膜である。

第 2 図は、第 1 図の構造により形成された N 型チャネル薄膜トランジスタの電圧電流特性及びその信頼性を示すグラフである。横軸はソースに対す

-3-

ないという問題点を有していた。

本発明はこのような欠点を除去するものであり、その目的とするところは、透明絶縁基板に含有される汚染物質の影響を除去し、信頼性、安定性及び再現性に優れた半導体素子を実現する基板構造を提供することにある。具体的には、透明絶縁基板上に P 型 (Phospho Silicate Glass, リンをドーパした SiO<sub>2</sub>) を形成し、前記 P 型上に N 型 (Non-doped Silicate Glass, 不純物をドーパしない SiO<sub>2</sub>) を形成し、前記 N 型上に薄膜半導体素子を形成することを特徴とする薄膜半導体素子の基板構造を提供する。

以下、実施例に基づいて、本発明を詳しく説明する。

第 3 図は、本発明の実施例を示すものであり、第 1 図の従来例に対応する。12 はガラス、石英などの透明絶縁基板、13 は P 型、14 は N 型、15 は薄膜トランジスタのチャネル領域を形成する半導体薄膜、16 はゲート絶縁膜、17 はゲート電極、18 は不純物をドーパしたソース領

-5-

域ゲート電圧  $V_{gg}$ 、縦軸はドレイン電流である。ソースに対するドレイン電圧  $V_{dd}$  は 4V であり、チャネル長及びチャネル幅はそれぞれ 30  $\mu\text{m}$ 、10  $\mu\text{m}$  である。図中、10 は薄膜トランジスタの初期特性を示すものであり、オン・オフ比が約 7 桁程度の良好なトランジスタ特性を示している。また 11 はバイアス・加速試験 (以下、BT 試験という。) を行なった後のトランジスタ特性を示すものである。試験条件は、ソース及びドレインに対してゲートを 20V にバイアスし、250℃ で 10 分間保持するというものである。このグラフから明らかにように BT 試験後、トランジスタ特性は大きく変化し、しきい電圧が減少して、オフ・デブリーション型になると共に、オフ電流が増加している。これは明らかにナトリウムなどの可動イオンが存在し、汚染の影響を受けていることを示すものである。

このように、従来は、透明絶縁基板に含有される汚染物質の影響を受けて、信頼性、安定性及び再現性に優れた半導体素子を実現することができ

-4-

域、19 は同じくドレイン領域、20 はソース電極、21 はドレイン電極、22 は層間絶縁膜である。本発明の特徴は、P 型 0.13  $\mu\text{m}$  及び N 型 0.14  $\mu\text{m}$  にある。周知の如く、P 型 0.13  $\mu\text{m}$  はナトリウムなどの汚染を阻止する上で非常に優れた効果を有している。この点については、通常の集積回路のパッケージングとして P 型 0.13  $\mu\text{m}$  が用いられていることを見ても明らかである。したがって、図中に示したように、透明絶縁基板 12 上に P 型 0.13  $\mu\text{m}$  を形成することにより、透明絶縁基板中に含有されるナトリウムなどの汚染物質が半導体素子へ拡散することを阻止することが可能となる。また、P 型 0.13  $\mu\text{m}$  上に N 型 0.14  $\mu\text{m}$  を形成するのは、次の 2 点の理由による。第 1 に、上述のように汚染物質の拡散阻止膜として P 型 0.13  $\mu\text{m}$  を用いる際には、そのリン濃度をある程度高く設定しなくてはならないが、これによる耐湿性の低下を防止するためである。P 型 0.13  $\mu\text{m}$  はリン濃度が高くなるほど耐湿性が増し、耐湿性が低下するが、本発明の構造によれば P 型 0.13  $\mu\text{m}$  上に N 型 0.14  $\mu\text{m}$  を形成するから、耐湿性の低下は

-6-

特開昭59-108357 (3)

なくなる。第2に、P B O中のリンが半導体素子に拡散することを防止するためである。一般に誘導半導体においては、粒界拡散などの効果により、リンが拡散しやすい。したがって、比較的低温においても半導体素子中に、P B Oのリンが拡散し、悪影響を及ぼすことになる。例えば、Mチャネル薄膜トランジスタにおいて、チャネル領域にリンが侵入すると、リーク電流が増大し、デブリーンオンタイプになりやすい。

このように、本発明の基板構造を採用することにより、何ら新たな問題を付加すること無く、透明絶縁基板からの汚染を防止することが可能となる。

第4図は、本発明の効果を示すグラフであり、第2図の従来例に対応する。種々のパラメータ値は第2図に示したものと同一である。図中、23は薄膜トランジスタの初期特性を示しており、24はBT試験を行なった後のトランジスタ特性を示している。このグラフから明らかなように、BT試験前後におけるトランジスタ特性は測定誤差範

-7-

形成した場合の従来の構造を示す図面である。

第2図は第1図の構造により形成されたMチャネル薄膜トランジスタの電圧電流特性及びその信頼性を示すグラフである。

第3図は本発明の構造を示す図面である。

第4図は第3図の構造により形成されたMチャネル薄膜トランジスタの電圧電流特性及びその信頼性を示すグラフである。

以 上

出 願 人 株式会社藤紡精工会

代 理 人 弁 理 士 坂 上 務



囲内にみいて一致しており、汚染の影響が除去されていることが示されている。したがって、本発明は透明絶縁基板に含有される汚染物質の拡散を防止する上で非常に有効であるといえる。

また、第3図では透明絶縁基板の片面のみに本発明の基板構造を適用した例を示したが、完璧を期するため、透明絶縁基板の両面あるいはさらに側面に本発明を適用しても差し支えない。

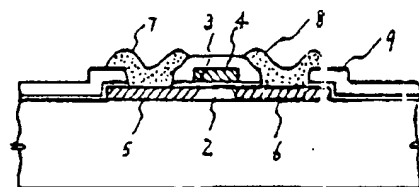
また、以上の例では半導体素子として薄膜トランジスタを用いて説明したが、エレクトロルミネッセンス、太陽電池など、透明絶縁基板からの汚染が問題となる他の半導体素子に対しても本発明を適用することが可能である。

以上、述べたように、本発明は透明絶縁基板に含有される汚染物質の拡散を阻止し、信頼性、安定性及び再現性に優れた半導体素子を実現するという優れた効果を有するものである。

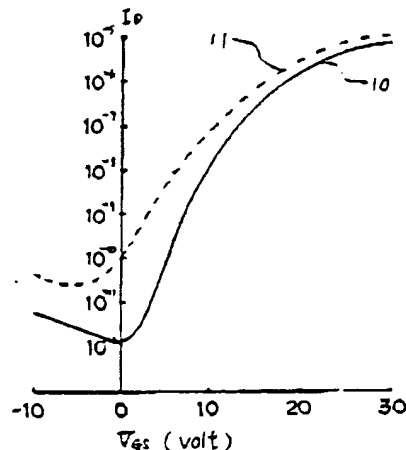
図面の簡単な説明

第1図は透明絶縁基板上に薄膜トランジスタを

-8-



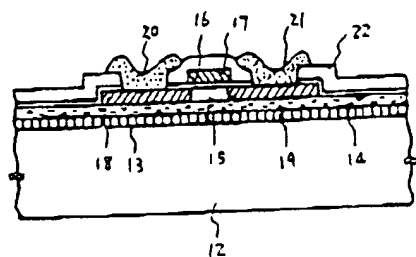
第 1 図



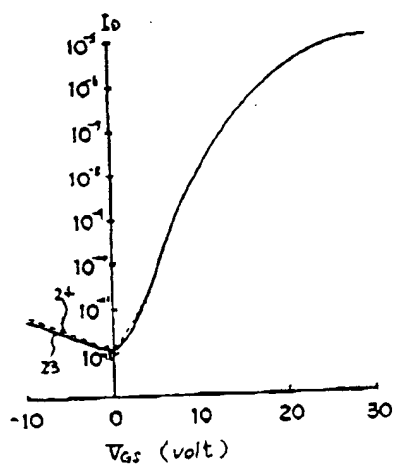
第 2 図

-9-

特開2001-108317 (4)



第 3 図



第 4 図

Japanese Patent Laid-open No. 59-108357

Laid open Date: June 22, 1984

Application No. 57-218663

Application Date: December 14, 1982

Applicant: Kabushiki Kaisha Suwa Sikosha

Inventor: Hiroyuki OSHIMA, et al.

IPC: H01L 29/78 // H01L 27/12

Patent Attorney: Tsutomu MOGAMI

#### SPECIFICATION

##### TITLE OF THE INVENTION

SUBSTRATE STRUCTURE OF THIN-FILM SEMICONDUCTOR DEVICE

WHAT IS CLAIMED IS;

A substrate structure of a thin-film semiconductor device, wherein PSG is formed on a transparent insulation substrate, NSG is formed on the PSG, and a thin-film semiconductor element is formed on the NSG.

##### DETAILED DESCRIPTION OF THE INVENTION

The present invention relates to a substrate structure of a thin-film semiconductor device.

Recently, a semiconductor thin-film, particularly, a thin-film transistor using a silicon thin-film of multi-crystal silicon or non-crystal silicon, etc., has been actively studied and developed. The object of the study is to realize a flat display with a large area and a large capacity by using a thin-film transistor to form an active matrix panel. In this

case, in order to improve the quality of the display, a transparent insulation substrate of glass or quartz is used for the substrate.

In a case where a semiconductor element is formed on such a substrate, contamination of a semiconductor element by alkali metal, in particular, sodium, etc., contained in said substrate comes into question. As generally known, a semiconductor element is extremely sensitive to contamination, and depending on the existence of contamination, initial performance and reliability of the semiconductor element is greatly influenced. Such a tendency is particularly great in a case of an element using the surface of a semiconductor as an electric field effective element such as a thin-film transistor. Therefore, it can be said that a reduction in contamination is essential for a semiconductor element.

However, it cannot be said in the present status that contaminants contained in a transparent insulation substrate such as a glass substrate or quartz substrate are satisfactorily reduced to a degree so as not to harmfully influence the semiconductor element. For example, in the case of the glass substrate, the substrate essentially contains sodium of 0.1 through several percent. When considering its influence on the semiconductor element, it must be said that such a value is extremely great. Also, in the case of the quartz substrate, a sodium content is several ppm, which is extremely



small, however, unlike the glass substrate, since the quartz substrate is generally used at a high temperature, and usually, used in a heat processing at approximately 1000°C, sodium is easily diffused onto the semiconductor element. That is, since the substrate is used at a high temperature, the element is easily contaminated, and therefore, a slight contamination source is not allowed. Thus, when the transparent insulation substrate is considered as a contamination source onto the semiconductor element, the present status is not a satisfactory level. Hereinafter, the above is described in detail with reference to the drawings.

Fig. 1 is an example showing a structure in that a thin-film transistor is formed on a transparent insulation substrate. 1 is a transparent insulation substrate of glass or quartz, etc., 2 is a semiconductor thin layer forming a channel range of the thin-film transistor, 3 is a gate insulation layer, 4 is a gate electrode, 5 is a source range in which impurities are doped, 6 is a drain range by the same method, 7 is a source electrode, 8 is a drain electrode and 9 is a layer-between insulation film.

Fig. 2 is a graph showing voltage and current properties and reliability of an N channel thin-film transistor formed in accordance with the structure of Fig. 1. The horizontal axis shows the gate voltage  $V_{gs}$  and the vertical axis shows the drain current for the source. The drain voltage  $V_{ds}$  is 4V for the source,

and the channel length and channel width are  $30\mu\text{m}$  and  $10\mu\text{m}$ , respectively. In the figure, 10 shows the initial performance of the thin-film transistor, which shows a satisfactory transistor performance in an on-off ratio of approximately 7 digits. Also, 11 shows the transistor performance after performing a bias and temperature test (hereinafter, referred to as BT test). As the test conditions, the gate is biased to 20V for the source and drain, and maintained for 10 minutes at  $250^{\circ}\text{C}$ . As clearly understood from this graph, after the BT test, the transistor performance greatly changes, wherein the threshold voltage decreases to a slight depletion type, and the off current increases. These results clearly show that movable ions such as sodium exist and have influences of contamination.

Thus, the prior-art has a problem in that, due to influences of contaminants contained in the transparent insulation substrate, a semiconductor element which is excellent in reliability, stability, and reproductivity, cannot be manufactured.

The invention is to eliminate such a defect, and the object thereof is to provide a substrate structure to realize a semiconductor element which is excellent in reliability, stability, and reproductivity by eliminating influences of contaminants contained in the transparent insulation substrate. Concretely, PSG (Phospho Silicate Glass,  $\text{SiO}_2$  with

phosphorus doped) is formed on the transparent insulation substrate, and NSG (Non-doped Silicate Glass,  $\text{SiO}_2$  without doping impurities) is formed on the PSG, and a thin-film semiconductor element is formed on the NSG.

Hereinafter, the invention shall be described in detail on the basis of an embodiment.

Fig. 3 shows the embodiment of the invention, which corresponds to the prior-art example of Fig. 1. 12 is a transparent insulation substrate of glass or quartz, 13 is PSG, 14 is NSG, 15 is a semiconductor thin layer forming a channel range of a thin-film transistor, 16 is a gate insulation film, 17 is a gate electrode, 18 is a source range in which impurities are doped, 19 is a drain range by the same method, 20 is a source electrode, 21 is a drain electrode, and 22 is a layer-between insulation film. The invention is characterized by the PSG 13 and NSG 14. As generally known, the PSG has an excellent effect for preventing contamination due to sodium, etc. This point is also clearly understood from the fact that the PSG is used as a passivation film of a normal integrated circuit. Therefore, as illustrated, by forming the PSG 13 on the transparent insulation substrate 12, contaminants such as sodium, contained in the transparent insulation substrate can be prevented from diffusing onto the semiconductor element. Also, the NSG 14 is formed on the PSG 13 due to the following two reasons. First, when the PSG is used as a contaminant diffusion

preventive film as mentioned above, the phosphorus concentration must be set high to some degree, therefore, the first reason is to prevent lowering in moisture resistance due to the high phosphorus concentration. The PSG increases in moisture absorption and decreases in moisture resistance as the phosphorus concentration becomes higher, however, according to the structure of the invention, since NSG is formed on said PSG, a lowering in moisture resistance is eliminated. The second reason is to prevent phosphorus in the PSG from diffusing onto the semiconductor element. Generally, in a thin-film semiconductor, due to an effect of particle field diffusion, phosphorus easily diffuses. Therefore, even at a relatively low temperature, phosphorus in the PSG diffuses into and harmfully influences the semiconductor element. For example, in an N-channel thin-film transistor, if phosphorus mixes into the channel range, leakage current easily increases into a depletion type.

Thus, by employing the substrate structure of the invention, without an occurrence of any new problems, contamination from the transparent insulation substrate can be prevented.

Fig. 4 is a graph showing the effects of the invention, which correspond to the prior-art example of Fig. 2. Various parameter values are the same as shown in Fig. 2. In the figure, 23 shows the initial performance of the thin-film transistor,

and 24 shows the transistor performance after a BT test. As clearly understood from this graph, the transistor performance before and after the BT test coincides within the range of measuring errors, which shows that the influences of contamination are eliminated. Therefore, it can be said that the invention is extremely effective for preventing diffusion of contaminants contained in a transparent insulation substrate.

Also, in Fig. 3, an example in that the substrate structure of the invention is applied to only one side of the transparent insulation substrate was shown, however, the invention can be applied further to both sides and/or side surfaces of the transparent insulation substrate for perfectness.

Also, in the above example, descriptions are given by using a thin-film transistor as a semiconductor element, however, the invention can be applied to other semiconductor elements such as an electro-luminescence and solar battery in which contamination from a transparent insulation substrate comes into question.

As described above, the invention has excellent effects whereby diffusion of contaminants contained in a transparent insulation substrate is prevented, and a semiconductor element which is excellent in reliability, stability, and reproductivity can be provided.

